

ОСОБЕННОСТИ ИСПОЛЬЗОВАНИЯ СТАНДАРТОВ В ЗАДАЧАХ ТЕСТИРОВАНИЯ

Т.А. Деменкова, О.А. Коржова

Московский технологический университет (МИРЭА)
Проспект Вернадского, д. 78, Москва, Россия, 119454

Рассматриваются актуальные проблемы диагностирования цифровых устройств на всех этапах проектирования, включая выбор общей структуры проекта, функциональную верификацию, программирование кристалла, формирование конфигурации, временную проверку отдельных блоков проекта и аппаратное тестирование. Проведены исследования в части развития стандартов периферийного сканирования и их приложений для различных проектов за последнее время. Представлены различные современные стандарты в маршруте автоматического проектирования, цифровой стандарт периферийного сканирования для тестирования многослойных печатных плат, стандарт для сокращения затрат на тестирование СБИС с дальнейшей возможностью повторного использования для других задач и инструменты для периферийного сканирования, позволяющие производить структурное тестирование и тестопригодное проектирование. Рассмотрены стандарты, обеспечивающие внутрисхемное конфигурирование интегральных микросхем, и их связь с устранением неисправностей прототипов и тестированием качества монтажа, сборки узлов и систем. Отдельно рассмотрен стандарт, определяющий классы встроенных инструментов тестирования с оболочками и механизмами управления, совместимыми с предыдущими стандартами. На основе анализа существующих решений в маршруте проектирования цифровых устройств разного назначения разработано решение проблемы диагностирования с учетом специфики применяемой элементной базы. Разработанный маршрут проектирования цифровых устройств на современных программируемых интегральных схемах с использованием последних разработок стандартов периферийного сканирования позволит проводить тестирование разработки на базе микросхем различных производителей. Предложенный метод диагностирования на основе разработанных стандартов может использоваться и при разработке различных проектов на базе отечественной элементной базы, что является своевременным для решения важной проблемы импортозамещения.

Ключевые слова: тестирование, печатные платы, программируемые логические интегральные схемы, диагностика, электронные модули, периферийное сканирование

Применение микросхем программируемой логики является одной из основных тенденций развития цифровой техники на современном этапе. Программируемые логические интегральные схемы и соответствующие средства проектирования позволяют создавать цифровые устройства и системы с различным уровнем сложности и степенью интеграции в довольно сжатые сроки. Ввиду сложности проектов и задач, стоящих перед разработчиками, на любой из стадий проектирования могут возникнуть ошибки или недоработки, приводящие к сбоям или неработоспособности, как в прототипе, так и в готовой СБИС (сверхбольшая интегральная схема). Таким образом, остро встают проблемы своевременного обнаружения неисправностей и их устранения [1; 2].

Развитие технологии интегральных схем привело к тому, что разработчик вынужден рассматривать вопросы тестопригодности на раннем этапе при формировании принципов проектирования и выборе структуры схемы, чтобы объединить процессы проектирования и диагностирования. Знание современных методов и средств диагностирования, а также методики проектирования тестопригодных логических схем является необходимым условием подготовки квалифицированных специалистов в области проектирования и производства цифровых устройств вычислительной техники.

Основной целью тестового диагностирования цифровых схем на уровне интегральной схемы, печатной платы или цифровой системы является обнаружение неисправностей, вызываемых дефектами в процессе производства, эксплуатации или механизмами старения. Второй целью тестирования является определение места и причины дефекта с достаточной точностью и достоверностью. Этот вид тестового диагностирования включает в себя как проверку исправности, так и локализацию места неисправности.

Основной проблемой тестирования сложных интегральных схем является нехватка внешних выводов для реализации основных свойств тестопригодного проектирования, касающихся наблюдаемости и управляемости. Разработаны специальные методы проектирования СБИС, так называемые методы сканирования, которые основаны на совместном использовании триггеров, имеющихся в самой схеме или путем ввода дополнительных. Эти триггеры объединяются в специальные сдвигающие регистры, которые управляют состоянием, а также получают сигналы управления через последовательный вход. В методах самотестирования BIST (Built-In Self-Test) в кристалл генераторов тестовых последовательностей встраиваются схемы, предназначенные для сжатия результатов тестирования базовой части СБИС [3].

Требование управляемости и наблюдаемости может быть выполнено на основе технологии так называемого сквозного сдвигового регистра LSSD (Level-Sensitive Scan Design). Существуют две основные особенности, характеризующие принцип проектирования схем на основе метода сканирования, чувствительного к уровню тактового сигнала (метод LSSD). Первая заключается в том, что состояния схемы изменяются под управлением уровня тактового сигнала, а не его фронта. Кроме того, установившееся состояние выхода как реакция на изменения значений состояний первичных входов не зависит от разброса задержек сигналов при распространении их через элементы схемы и ее внутренние соединения. Выходная реакция схемы не зависит также от порядка переключения входных переменных в случае одновременного изменения нескольких переменных. Это свойство «чувствительности к уровню» заложено с целью уменьшения зависимости схемы от ее изменяющихся параметров, таких, как время переключения элементов, задержки распространения сигналов или другие дефекты, которые могут создать условия для гонок или состязаний. Следовательно, в общем случае уменьшается влияние возможных физических дефектов, которые вызывают появление неисправностей динамического типа. Вторая особенность метода LSSD заключается в том, что схема обладает свойством сканируемого пути. Это свойство обе-

спечивается применением специального элемента памяти, управляемого уровнем сигнала.

Реализация функции самотестируемости может быть выполнена на основе технологии BILBO (Built-In Logic Block Observer). Метод встроенного поблочного диагностирования логических схем BILBO сочетает элементы сигнатурного анализа с проектированием на основе методологии сканирования. Здесь предусмотрена возможность реализации процедуры сбора и анализа данных непосредственно в устройстве для того, чтобы в нем обеспечивалось свойство полного самотестирования с помощью встроенных средств. Это можно осуществить введением в устройство формирователей сигнатур на сдвиговых регистрах с линейной обратной связью. Идея реализована в виде универсального элемента, обеспечивающего свойство самотестирования. Такой универсальный элемент может выполнять все функции генератора тестовых последовательностей, формирователя сигнатур, даже запоминающего устройства со сканированием данных. Универсальный элемент BILBO можно использовать как в схемах со сканированием данных, так и в самотестируемых схемах на основе сигнатурного анализа. Элемент BILBO можно применять в схемах, реализующих метод сканирования LSSD, в качестве сдвигового регистра в структуре при условии, что приняты меры для исключения состязаний.

Особое место среди методов сканирования занимает периферийное сканирование, которое в англоязычной литературе известно как BS (Boundary Scan). Первоначально этот метод был предназначен для проверки соединительных цепей на печатных платах и СБИС, при этом специальные регистры сдвига вводятся в кристалл, обслуживая каждый внешний вывод. При проверке межсоединений отключаются цепи внутри кристалла, а для проверки интегральной схемы подключаются регистры, находящиеся внутри, а также генераторы тестовых последовательностей и схемы сжатия на основе сигнатурного анализа. Подключение устройства к тестеру осуществляется с помощью пяти линий. Для проектирования схем с периферийным сканированием разработан стандарт IEEE 1149.1 и специальные языки BSDL (Boundary Scan Description Language) и HSDL (Hierarchical Scan Description Language), которые являются языками описания аппаратуры в ряду VHDL. На рис. 1 показано соединение элементов в пределах одной платы, которая поддерживает данный стандарт.

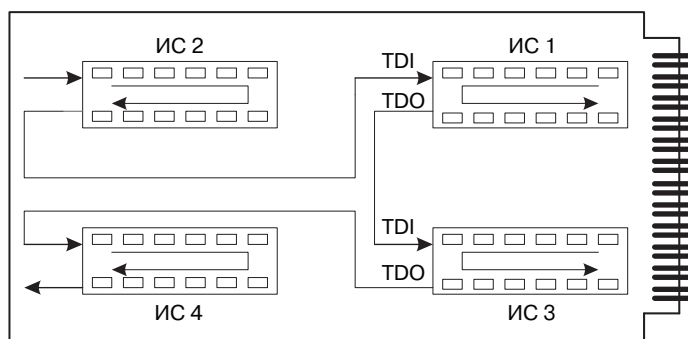


Рис. 1. Соединение элементов BS в структуре одной платы

Возможный вариант использования периферийного сканирования на уровне системы представлен на рис. 2. Здесь выход данных предыдущей платы соединяется с информационным входом последующей системной платы.

Основная идея периферийного сканирования заключается в том, что последовательный регистр сдвига располагается по периферии микросхем, а ячейки этого регистра находятся между внешними выводами и функциональной частью интегральных микросхем. В соответствии со стандартом к каждой интегральной схеме должны добавляться пять внешних контактных выводов: TDI (Test Data In — вход тестовых данных), TMS (Test Mode Select — выбор тестового режима), TCK (Test Clock — тестовая синхронизация), TRST (асинхронный сброс).

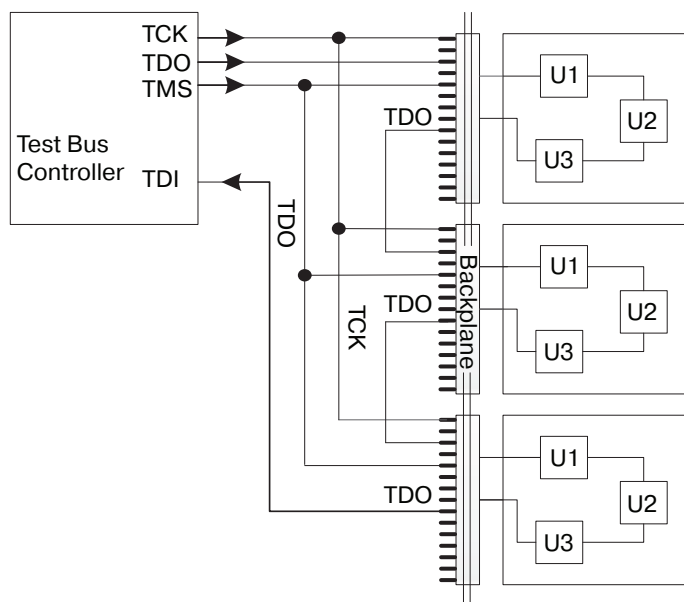


Рис. 2. Структура подключения на уровне системы

На рис. 3 показано развитие разработки новых стандартов периферийного сканирования, включая проблемы тестирования СБИС типа СнК, необходимость обеспечения протокола внутрисхемного программирования ПЛИС и FPGA, а также проблему тестирования многослойных печатных плат с ограниченным доступом.

Цифровой стандарт периферийного сканирования 1149.1, разработанный в связи с постоянно усложняющимися проблемами тестирования многослойных печатных плат постоянно развивается. Существует довольно популярное расширение стандарта на дифференциальные LVDS-цепи — 1149.6. Имеются модификации, выпущенные в 1990, 1993 и 2001 годах. Менее популярным оказалось аналоговое расширение стандарта 1149.4. Проблемы тестирования запоминающих устройств в технологии периферийного сканирования инициировали разработку стандарта IEEE P1581.

Рассмотренные стандарты, а также стандарт ГС IEEE 1532, обеспечивающий внутрисхемное конфигурирование (программирование и перепрограммирование)

интегральных микросхем, являются главным направлением применения технологий периферийного сканирования, связанного с устранением неисправностей прототипов и тестированием качества монтажа, сборки узлов и систем [6].

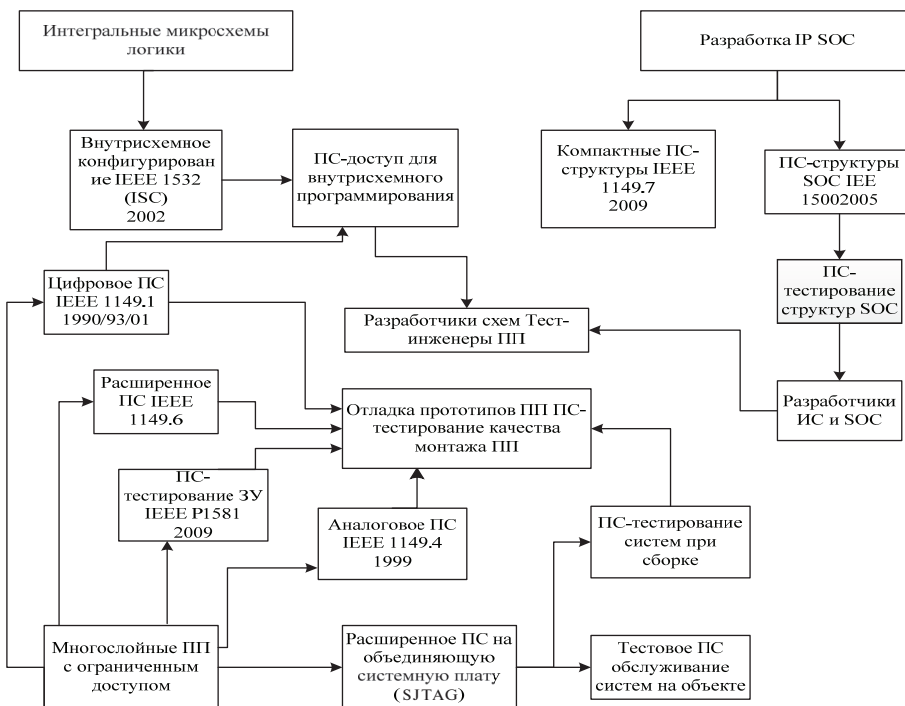


Рис.3. Стандарты периферийного сканирования

Стандарт IEEE 1500 был разработан для сокращения затрат на тестирование СБИС с дальнейшей возможностью повторного использования для других задач. Стандарт периферийного сканирования IEEE 1149.7 (дата утверждения — 2009 г.) содержит в своем интерфейсе всего два контакта. Он предназначен для анализа, тестирования и отладки сложных СБИС еще в процессе производства, а также осуществляет подробную диагностику и устранение неисправностей на печатных платах с 3-МИС.

Рассмотрим основную проблему использования стандарта JTAG, которая существует в настоящее время. Можно назвать следующие причины: наличие большого количества фирм, которые занимаются разработкой СБИС; применение различных методик структурного и функционального тестирования; множество платформ автоматизированного тестового оборудования и языков тестирования. Все это привело к новому направлению встроенного тестирования JTAG и началу разработки стандарта IEEE P1687. В этом стандарте определяются правила встраивания инструментов тестирования для различных модификаций JTAG-протокола стандарта IEEE 1149.1.

Здесь представлены несколько классов встроенных инструментов, каждый из которых направлен на решение конкретной задачи. Сюда входят регистры данных разного размера, средства согласования с оболочками и механизмами управления,

которые совместимы с протоколами 1149.1 и 1500. Имеются возможности создания нескольких цепочек сканирования с некоторой иерархией относительно друг друга. Контроль над инструментами одного из классов характеризуется наличием хотя бы одного сигнала или их последовательности, не управляемых непосредственно из протокола JTAG.

В рамках стандарта JTAG существуют автоматические системы тестирования и программирования плат, позволяющие при наличии схемотехнических файлов протестировать цифровые цепи на плате. Заранее созданные тестовые последовательности подаются в схему и получается информация о физических причинах отказа. На рисунке 4 показан процесс тестирования плат при помощи профессиональных средств периферийного сканирования [7].

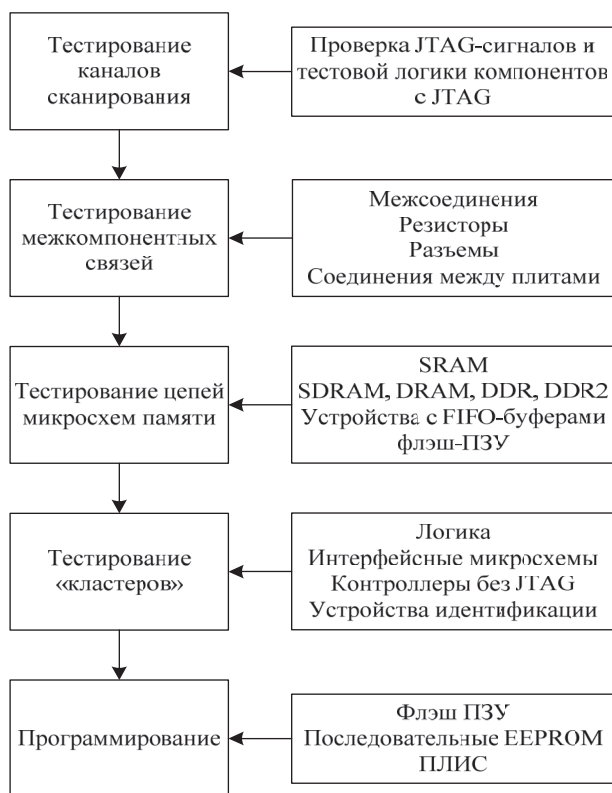


Рис. 4. Процесс тестирования на базе профессиональных средств периферийного сканирования

Примером таких средств являются системы тестирования и программирования на основе JTAG ProVision. Для генерации минимального набора тестовых векторов обязательными являются нетлист и BSDL-файлы для компонентов с поддержкой JTAG. При добавлении в проект других моделей, например, для памяти и функциональной логики, можно создать дополнительные наборы тестов и приложений. Первым обычно выполняется тест межкомпонентных связей, который представляет собой тест окружающих цепей JTAG-компонентов. Затем выполняются тесты кластеров памяти, функциональной логики, флэш-памяти и тесты,

созданные вручную для особых узлов схемы. Некоторые участки для тестирования требуют алгоритмического описания проверки функциональности.

На основе анализа существующих решений в маршруте проектирования цифровых устройств разного назначения было разработано решение проблемы диагностирования с учетом специфики применяемой элементной базы. Разработанный маршрут проектирования цифровых устройств на современных программируемых интегральных схемах с использованием последних разработок стандартов периферийного сканирования позволяет проводить тестирование разработки на базе микросхем различных производителей (рис. 5). Предложенный метод диагностирования на основе разработанных стандартов может использоваться и при разработке различных проектов на базе отечественной элементной базы, что является своевременным для решения важной проблемы импортозамещения.

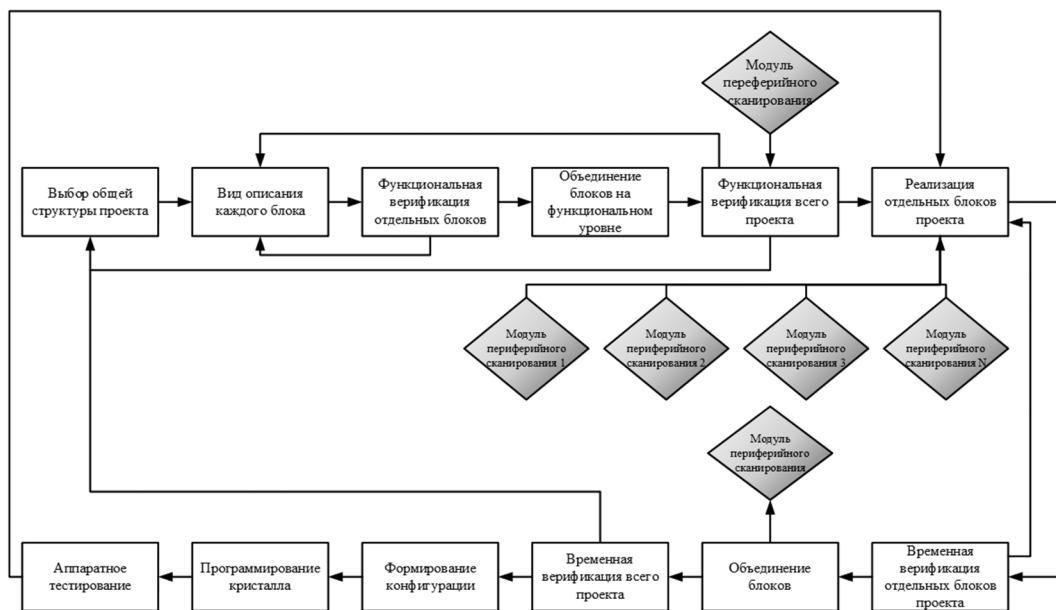


Рис. 5. Маршрут проектирования цифровых устройств с применением стандартов

Выполненный в работе анализ существующих средств JTAG показал возможности использования периферийного сканирования как для тестирования и программирования плат в целях поиска дефектов, контроля качества и диагностики отказов, так и для отладки прототипов при создании проектов цифровых устройств различного назначения. Стандарт JTAG постоянно развивается и обновляется. Создаются новые аппаратные решения и программные комплексы, которые можно использовать для задач диагностирования при выполнении проектов на современной элементной базе. Необходимым условием реализации этих задач является создание методик проведения всех этапов проектирования для грамотного и достоверного тестирования на основе технологии JTAG.

Исследования выполнены по направлению государственных работ в сфере научной деятельности в рамках базовой части госзадания № 2014/112, код проекта 35.

ЛИТЕРАТУРА

- [1] *Городецкий А.С.* Тестирование и тестопригодность // Компоненты и технологии. 2009. № 2.
- [2] *Деменкова Т.А.* Диагностика цифровых устройств: учеб. пособие. М.: МИРЭА, 2008.
- [3] *Деменкова Т.А., Николаев С.А.* Методика тестопригодного проектирования цифровых устройств. Информационные технологии и системы. Вычислительная техника: Сб. научн. трудов. Ч. 1. М.: МИРЭА, 2012.
- [4] *Деменкова Т.А., Николаев С.А.* Модель блока поддержки технологии граничного сканирования для задач тестирования цифровых схем. Наука и образование. 2012. № 4. URL: <http://technomag.edu.ru/issue/311245.html> (дата обращения 05.04.2015).
- [5] *Иванов А.В.* Инструменты для периферийного сканирования // Компоненты и технологии. 2010. № 9.
- [6] IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE Computer Society, IEEE, New York, NY, IEEE Std 1149.1 — 2001.
- [7] *Demenkova T.A., Nikolaev S.A., Pevtsov E.Ph.* Program Model of Multipurpose Block of Testing // Humanities & Science University Journal. 2013. № 5.

FEATURES OF USE OF STANDARDS IN TASKS OF TESTING

T.A. Demenkova, O.A. Korzhova

Moscow Technological University (MIREA)
Prospect Vernadskogo, 78, Moscow, Russia, 119454

Actual problems of diagnosing of digital devices at all design stages, including the choice of the general structure of the project, functional verification, programming of crystal, formation of configuration, temporary check of separate blocks of the project and hardware testing are considered. Researches regarding development of standards of boundary scan and their appendices for various projects are conducted lately. Various modern standards in a route of automatic design, the digital standard of peripheral scanning for testing of multilayered printed circuit boards, the standard for reduction of costs of testing of VLCI with further possibility of reuse for other tasks and the tools for boundary scan allowing to make structural testing and testable design are submitted. The standards providing an intra circuit configuration of integrated chips, and their connection with elimination of malfunctions of prototypes and testing of quality of installation, assembly of knots and systems are considered. The standard defining classes of the built-in instruments of testing with the covers and mechanisms of management compatible to the previous standards is separately considered. On the basis of the analysis of the existing decisions in a route of design of digital devices of different function the solution of the problem of diagnosing taking into account specifics of the applied element base is developed. The developed route of design of digital devices on modern programmable integrated circuits with use of the last developments of standards of boundary scan will allow to hold testing of development on the basis of chips of various producers. The offered diagnosing method on the basis of the developed standards can be used also when developing various projects on the basis of domestic element base that is timely for the solution of the important problem of import substitution.

Key words: testing, printed circuit boards, programmable logical integrated circuits, diagnostics, electronic modules, boundary scan

REFERENCES

- [1] Gorodetskiy A.S. Testirovaniye i testoprigradnost'. Komponenty i tekhnologii [Testing and quality of testing. Components and technology]. 2009. № 2.
- [2] Demenkova T.A. Diagnostika tsifrovyykh ustroystv. Uchebnoye posobiye [Diagnostics of numeric devices. Manual]. M.: MIREA, 2008
- [3] Demenkova T.A., Nikolayev S.A. Metodika testoprigradnogo proyektirovaniya tsifrovyykh ustroystv. Informatsionnyye tekhnologii i sistemy. Vychislitel'naya tekhnika. Sb. nauchn. trudov. Ch. 1 [Methods of project of numeric devices. Book of science. P. 1]. M.: MIREA, 2012.
- [4] Demenkova T.A., Nikolayev S.A. Model' bloka podderzhki tekhnologii granichnogo skanirovaniya dlya zadach testirovaniya tsifrovyykh skhem. Nauka i obrazovaniye [Model of blocks of scanning technology from numeric devices testing. Science and education]. 2012. № 4. URL: <http://technomag.edu.ru/issue/311245.html> (data obrashcheniya 05.04.2015).
- [5] Ivanov A.V. Instrumenty dlya periferiynogo skanirovaniya. Komponenty i tekhnologii [Instruments from scanning. Components and technology]. 2010. № 9.
- [6] IEEE Standard Test Access Port and Boundary-Scan Architecture, IEEE Computer Society, IEEE, New York, NY, IEEE Std 1149.1 — 2001.
- [7] Demenkova T.A., Nikolaev S.A., Pevtsov E.Ph. Program Model of Multipurpose Block of Testing. Humanities & Science University Journal. 2013. № 5.